

Searching PAJ

A6

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027854
 (43)Date of publication of application : 27.01.1998

(51)Int.Cl.

H01L 21/8238
 H01L 27/092
 H01L 29/78
 H01L 21/336

(21)Application number : 08-180919

(71)Applicant : SONY CORP

(22)Date of filing : 10.07.1996

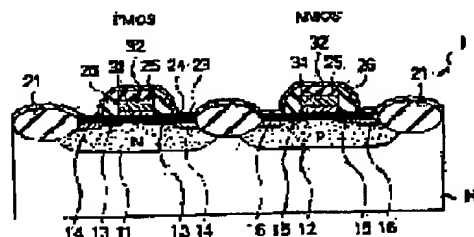
(72)Inventor : NAGASHIMA NAOKI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to compose an N-MOS and a P-MOS of single polarity gate electrode and surface channel type by providing a transistor having a germanium containing electrode formed on a gate insulating film.

SOLUTION: A transistor, having a semiconductor substrate 10, the gate insulating film 23 formed on the semiconductor substrate 10 and a germanium electrode layer 31 formed on the gate insulating film 23, is provided. For example, the gate insulating film is composed of the silicon oxide film 23 on the surface of the substrate 10 and a surface nitride film 24. A germanium electrode 31, where P-type impurities are introduced, a polycrystalline silicon layer 32 as the upper electrode, and an offset insulating film 25, consisting of silicon oxide, are stacked successively thereon. An insulative side wall 26 is formed on the side wall using silicon oxide.



LEGAL STATUS

[Date of request for examination] 18.05.2001

[Date of sending the examiner's decision of rejection] 12.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27854

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/8238		H 0 1 L 27/08	3 2 1 D
	27/092		29/78	3 0 1 G
	29/78			3 0 1 P
	21/336			

審査請求 未請求 請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平8-180919

(22) 出願日 平成 8 年 (1996) 7 月 10 日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 長島 直樹

東京都品川区北品川 6 丁目 7 番 35 号 ソニ
ー株式会社内

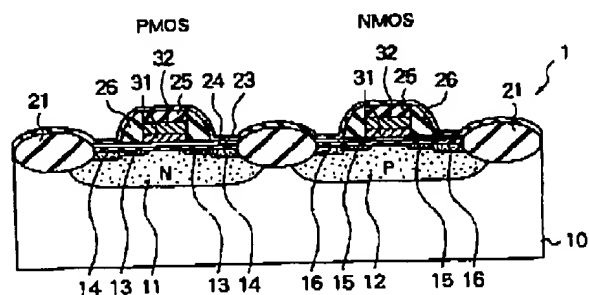
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 単一極性のゲート電極で表面チャネル型の NMOS と PMOS とを構成することができる半導体装置及びその製造方法を提供する。

【解決手段】 ゲート絶縁膜 2 3 に接するゲート電極として、ゲルマニウムを含有するゲルマニウム電極 3 1 を用いる。



(2)

特開平10-27854

2

【特許請求の範囲】

【請求項1】半導体基板と、該半導体基板表面に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲルマニウムを含有するゲルマニウム電極層とを有するトランジスタを有することを特徴とする半導体装置。

【請求項2】相補型電界効果型トランジスタのゲート電極が、ゲルマニウムを含有するゲルマニウム電極層で構成されている請求項1記載の半導体装置。

【請求項3】ゲルマニウムを含有するゲルマニウム電極層が、P型不純物を含有するものである請求項1記載の半導体装置。

【請求項4】ゲート電極が、ゲート絶縁膜上に積層されたゲルマニウムを含有するゲルマニウム電極層と、ゲルマニウム電極層上に積層された多結晶シリコン層又は高融点金属とシリコンとの化合物合金層とで構成される請求項1記載の半導体装置。

【請求項5】半導体基板上にゲート絶縁膜を形成する工程と、

該ゲート絶縁膜上にゲルマニウムを含有するゲルマニウム電極層を形成する工程と、

該ゲルマニウム電極層の上に多結晶シリコン層又は高融点金属とシリコンとの化合物合金層で構成される上部電極層を形成する工程と、

該ゲルマニウム電極層に不純物を導入する工程と、

上部電極層の上にオフセット絶縁層を形成する工程と、

該オフセット絶縁層、上部電極層、ゲルマニウム電極層とをパターンニングしてゲート電極を形成する工程と、半導体基板に不純物を導入してソース・ドレインを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】ゲート絶縁膜の上にゲルマニウム電極層を形成する前に、ゲート絶縁膜の表面を窒化する工程を有する請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に単一極性のゲート電極で表面チャネル型のN型電界効果型トランジスタ(NMOS)とP型電界効果型トランジスタ(PMOS)を構成できる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】MOS型半導体による集積回路は、現在、NMOSとPMOSとを相補的に使用するCMOS型が主流となっている。CMOSのゲート材料としては、NMOS、PMOS共にN型の不純物を導入したポリシリコンを用いている。

【0003】ところが、この場合、NMOSでは、表面チャネル型になるが、PMOSでは、PMOSのしきい値は表面チャネル型の場合、-1V以上となってしまうため、埋込チャネル型のPMOS構造が採用されてい

る。

【0004】

【発明が解決しようとする課題】しかしながら、LSIの微細化が進むにつれて、MOSトランジスタのゲート長の縮小に伴って短チャネル効果の影響が顕著になり、短チャネル効果が生じやすい埋込チャネル型より、短チャネル効果を抑制しやすい表面チャネル型のPMOSが注目されている。

【0005】しかし、表面チャネル型のPMOSは、N型の不純物を導入したポリシリコンをゲート材料として使用した場合、しきい値電圧が-1V以上となるため、ゲート電極にP型の不純物を導入する必要がある。このとき、NMOSにはN型の不純物を、PMOSにはP型の不純物をそれぞれゲート電極を構成するポリシリコンに導入する。そのため、ゲート電極形成時のこれらのイオン注入の打ち分けなどの工程数増加によるチップコストや製造時間の増加、更にゲート電極のこれらの不純物の相互拡散によるしきい値変動等が問題になっている。

【0006】本発明は、上記事情に鑑みなされたもので、単一極性のゲート電極で表面チャネル型のNMOSとPMOSとを構成することができる半導体装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するため、半導体基板と、該半導体基板表面に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたゲルマニウムを含有するゲルマニウム電極層とを有するトランジスタを有することを特徴とする半導体装置を提供する。

【0008】また、本発明は、上記目的を達成するため、半導体基板上にゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲルマニウムを含有するゲルマニウム電極層を形成する工程と、該ゲルマニウム電極層の上に多結晶シリコン層又は高融点金属とシリコンとの化合物合金層で構成される上部電極層を形成する工程と、該ゲルマニウム電極層に不純物を導入する工程と、上部電極層の上にオフセット絶縁層を形成する工程と、該オフセット絶縁層、上部電極層、ゲルマニウム電極層とをパターンニングしてゲート電極を形成する工程と、半導体基板に不純物を導入してソース・ドレインを形成する工程とを有することを特徴とする半導体装置の製造方法を提供する。

【0009】本発明の半導体装置は、ゲート絶縁膜に接するゲート電極として、ゲルマニウムを含有する材料を用いている点に特徴がある。本発明者は、P型不純物を導入したゲルマニウムは、その仕事関数がN型シリコンの仕事関数とP型シリコンの仕事関数とのほぼ中間であることを見出した。そのため、P型不純物を導入したゲルマニウムをゲート電極材料として用いることにより、NMOS、PMOSのいずれに対してもしきい値電

(3)

特開平10-27854

3

圧を下げることになり、基板と逆の導電型の不純物をイオン打ち込みをして埋込チャネル型とすることがなく、NMOS、PMOSのいずれもしきい値が低下した表面チャネル型とすることができる。したがって、単一極性のゲート電極で表面チャネル型のCMOSを実現でき、埋込チャネルの短チャネル化効果を抑制することができる。

【0010】かかる半導体装置を製造する工程は、ゲート絶縁膜上に直接ゲルマニウムを含有するゲルマニウム電極を形成する工程を除くと、通常のMOSトランジスタ製造工程と同様の工程であるので、ゲート電極の不純物を打ち分ける工程が省略でき、プロセスコストを低減することができる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について説明するが、本発明は、下記の実施の形態に限定されるものではない。本発明の半導体装置は、ゲート絶縁膜と接するゲート電極として、ゲルマニウム電極を用いていることに特徴がある。図1に、本発明をCMOSに適用した例を示す。

【0012】このCMOSは、例えばシリコン基板10内に素子分離絶縁膜21で分離された領域にNウェル11とPウェル12が形成されており、NウェルにはPMOSトランジスタが、PウェルにはNMOSトランジスタがそれぞれ形成されている。ゲート絶縁膜は、基板10表面の酸化シリコン膜23とその酸化シリコン膜23表面を窒化した窒化膜24とで構成され、この窒化膜24上に、NMOSとPMOS両トランジスタに共通の構造として、P型不純物が導入されたゲルマニウムで構成されるゲルマニウム電極31、上部電極としての多結晶シリコン層32、酸化シリコンで構成されるオフセット絶縁膜25が、順次積層され、これらの側壁には酸化シリコンで絶縁性サイドウォール26が形成されている。また、ゲート電極31の両側の基板内にLDD13、15とソースドレイン14、16がそれぞれのトランジスタに設けられている。なお、ゲルマニウム電極31としては、ゲルマニウムの代わりにゲルマニウムとシリコンの混晶でも良く、上部電極としては、多結晶シリコンの代わりに、例えばタングステンシリサイドのような高融点金属とシリコンの合金であるシリサイドでも良い。

【0013】次に、P型のゲルマニウムをゲート電極とすることの効果について説明する。ゲルマニウムとシリコンの仕事関数を図2のエネルギー帯図で示す。この図において、 E_c は伝導帯の端のエネルギー、 E_v は価電子帯の端のエネルギー、 E_c の下の破線はドナー順位、 E_v の上の破線はアクセプタ順位である。仕事関数は、フェルミレベルから真空中へ電子を取り出すために必要なエネルギーであるが、ここでは、 E_c がN型不純物を導入したフェルミレベル、 E_v がP型不純物を導入したもののフェルミレベルである。図2に示すように、N型

4

不純物が縮退した状態ではシリコンとゲルマニウムの仕事関数はほぼ同等であり、P型不純物が縮退した状態では、ゲルマニウムの方が約0.5V程度小さい。P型ゲルマニウムのフェルミレベルは、N型シリコンとP型シリコンとの中間に存する。

【0014】従って、図3に示すように、P型のゲルマニウムをゲート材料に使用した場合、N型の多結晶シリコンをゲートに使用した場合に比べてNMOSのしきい値で約0.8Vの上昇、PMOSのしきい値で約0.6Vの低下となる。また、P型の多結晶シリコンをゲートに使用した場合に比べ、NMOSのしきい値で約0.5Vの低下、PMOSのしきい値で約0.5Vの上昇となる。そのため、NMOSとPMOSのしきい値の絶対値が近似するので、しきい値の絶対値を合わせるために、チャネル領域に基板と逆の導電型の不純物をイオン注入してP-N接合を形成する必要がなく、その結果埋込チャネル構造となることがない。

【0015】このように、P型不純物を導入したゲルマニウムをゲート電極とした単一極性のゲート構造のCMOSは、PMOSトランジスタとNMOSトランジスタの両者が表面チャネル型となっており、短チャネル効果が抑制できる構造となっている。単一極性のゲート電極であるので、極性の異なる不純物を導入しているゲート電極と異なり、ゲート不純物の相互拡散によるしきい値変動は問題とならない。また、NMOS、PMOS共に、表面チャネル型で埋込チャネル型ではないので、トランジスタの微細化に有利である。

【0016】また、P型の多結晶シリコンをゲートに使用した表面チャネル型のNMOSの場合、基板不純物濃度を低下させてもしきい値を0.8Vより低下させることは難しかったが、P型のゲルマニウムをゲート材料として使用することにより、0.3V程度のしきい値を持つ表面チャネル型を実現することができる。NMOSに対しても同様に、0.3V付近のしきい値を持つ表面チャネル型を形成できる。更に、基板表面に極性の異なる不純物を打ち込むことにより、0.1V付近までのしきい値を実現することができる。

【0017】次に、上記CMOSの製造工程について説明する。まず、図4(a)に示すように、シリコン基板10の活性領域を窒化シリコン膜で覆い熱酸化する通常の方法で素子分離絶縁層21を形成する。次いで、イオン注入の際の金属による汚染を防止するパッド層として熱酸化によりシリコン酸化膜22を形成する。熱酸化の条件は、例えば温度が850℃、時間が40分、酸素ガスをを用い、厚さ8nm程度に形成する。

【0018】その後、図4(b)に示すように、PMOSの領域のみレジストR1を開孔し、イオンインプランテーションによりシリコン基板に例えばリンを注入してNウェル11を形成する。このときの注入条件は、例えばP、エネルギー300keV、ドーズ量は 3×10^{12}

(4)

特開平10-27854

5

cm^{-2} 程度である。更に、しきい値の調整と短チャネル効果抑制のため、イオンインプランテーションにより、シリコン基板にリンを注入する。このときに注入条件は、例えばP、エネルギー100keV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ とP、エネルギー30keV、ドーズ量 $1 \times 10^{12} \text{cm}^{-2}$ 程度である。

【0019】次に、レジストR1を除去した後、図4(c)に示すように、リソグラフィーにより、NMOS領域のみレジストを開口し、イオンインプランテーションによりシリコン基板10に例えばホウ素を注入してPウェルを形成する。このときのイオン注入条件は、例えばB、エネルギー200keV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ 程度である。更に、しきい値の調整と短チャネル効果抑制のため、イオンインプランテーションによりシリコン基板にホウ素を注入する。このときの注入条件は、例えばB、50keV、 $3 \times 10^{12} \text{cm}^{-2}$ と、B、15keV、 $1 \times 10^{12} \text{cm}^{-2}$ 程度である。

【0020】次いで、レジストを除去した後、図5(d)に示すように、レジストを除去した後、希フッ酸溶液によりシリコン酸化膜22を除去し、続いて熱酸化によりゲート絶縁膜としてのシリコン酸化膜23を例えば5nm程度形成する。そして、次に形成するゲルマニウム層の酸化を防止するため、シリコン酸化膜23を窒化して窒化膜24を形成する。これらのシリコン酸化膜23と窒化膜24でゲート絶縁膜が構成されている。次に、CVD法によりゲルマニウム層31を例えば50nm程度堆積し、更に多結晶シリコン層32を例えば150nm程度堆積する。この場合、ゲルマニウムの代わりにゲルマニウムとシリコンの混合物を形成しても良く、多結晶シリコンの代わりに、例えばタングステンシリサイドのような高融点金属とシリコンの合金であるシリサイドを形成しても良い。

【0021】そして、ここでゲルマニウム層31にイオン注入を行い、ゲルマニウム層31にP型不純物を導入する。このときの注入条件は、例えばBF₂、エネルギー20keV、ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ 程度である。更に、図5(e)に示すように、オフセット絶縁膜としてシリコン酸化膜25をCVDにより例えば150nm程度堆積する。

【0022】次に、図5(f)に示すように、リソグラフィーによりレジストを形成し、異方性エッチングにより、オフセット絶縁膜25、多結晶シリコン層32、ゲルマニウム層31の順にエッチングしてゲートパターンを形成する。そして、リソグラフィーによりPMOS領域のみレジストを開口し、LDD形成のため、イオンインプランテーションによりシリコン基板にBF₂を注入する。このときの注入条件は、例えばBF₂、10keV、 $5 \times 10^{13} \text{cm}^{-2}$ 程度である。更に、リソグラフィーによりNMOS領域のみレジストを開口し、LDD形成のためイオンインプランテーションによりシリコン基

6

板に砒素を注入する。このときの注入条件は、例えばAs、15keV、 $3 \times 10^{13} \text{cm}^{-2}$ 程度である。これにより、図5(f)に示すようなLDDが形成された構造となる。

【0023】次に、レジストを除去した後、従来法でのCVD法によりシリコン酸化膜を例えば150nm程度堆積した後、異方性エッチングによりシリコン酸化膜をエッチバックして、図6(g)に示すようにシリコン酸化膜のサイドウォール26を形成する。

【0024】そして、図6(h)に示すように、低圧TEOS-CVD法によりシリコン酸化膜27を例えば10nm程度堆積する。次にリソグラフィーによりPMOS領域のみレジストR3を開口し、イオンインプランテーションにより多結晶シリコン層32及びシリコン基板10にBF₂を注入してソース・ドレイン14を形成する。このときの注入条件は、例えばBF₂、10keV、 $3 \times 10^{15} \text{cm}^{-2}$ 程度である。このとき、ゲルマニウム電極31には、オフセット絶縁膜25によりホウ素は注入されない。

【0025】次に、図6(i)に示すように、リソグラフィーによりNMOS領域のみレジストR4を開口し、イオンインプランテーションにより、多結晶シリコン層32及びシリコン基板10に砒素を注入してソース・ドレイン16を形成する。このときの注入条件は、例えばAs、エネルギー20keV、ドーズ量 $3 \times 10^{15} \text{cm}^{-2}$ 程度である。このとき、ゲルマニウム電極31には、オフセット絶縁膜25により砒素は注入されない。

【0026】以上の工程により、図1に示したCMOSを得ることができる。その後、窒素雰囲気下でランプアニールにより950℃、10秒の熱処理を行う。以下、従来法によりシリサイド及びコンタクト、配線を形成する。以上の工程により、単一極性のゲート電極で表面チャネル型のNMOSとPMOSで構成されるCMOSを作製できる。ゲート電極に対して不純物を打ち分けしていないので、工程数が減少し、コスト的に有利である。

【0027】以上の説明では、CMOSに本発明を適用した例を説明しているが、本発明はCMOSに限定されるものではなく、その他のMOS構造のトランジスタに適用でき、その他本発明の要旨を逸脱しない範囲で種々変更が可能である。

【0028】

【発明の効果】本発明の半導体装置は、単一極性のゲート電極で表面チャネル型のNMOSとPMOSの作製を可能とするものである。また、本発明の半導体装置の製造方法は、かかる半導体装置を確実に製造することができる。

【図面の簡単な説明】

【図1】本発明にかかるCMOSを示す断面図である。

【図2】シリコンとゲルマニウムのエネルギー帯図である。

(5)

特開平10-27854

7

6

【図3】 ゲート電極の極性とNMOSとPMOSのしきい値電圧との関係を示す模式図である。

【図4】 (a) ~ (c) は、図1のCMOSを製造する工程を示すそれぞれ断面図である。

【図5】 (d) ~ (f) は、図4の続きの工程を示すそれぞれ断面図である。

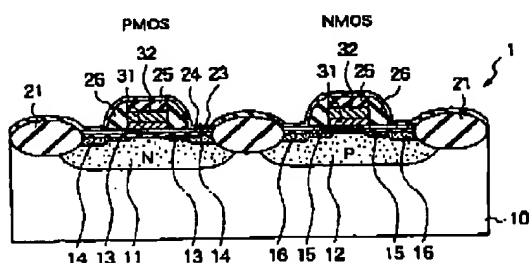
【図6】 (g) ~ (i) は、図5の続きの工程を示す

それぞれ断面図である。

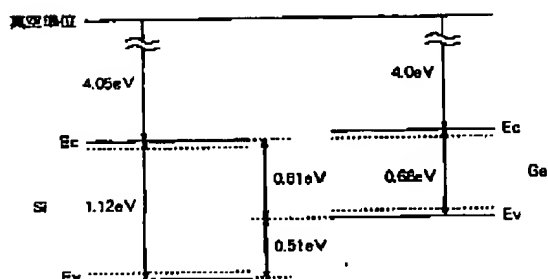
【符号の説明】

11…ウエル、12…Pウエル、21…素子分離絶縁膜、23…ゲート酸化膜、24…窒化膜、25…オフセット絶縁膜、31…ゲルマニウム電極層、32…上部電極層

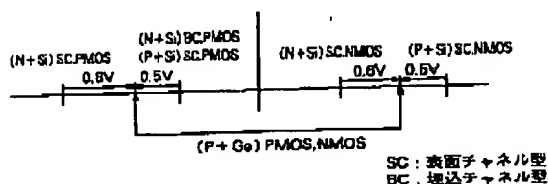
【図1】



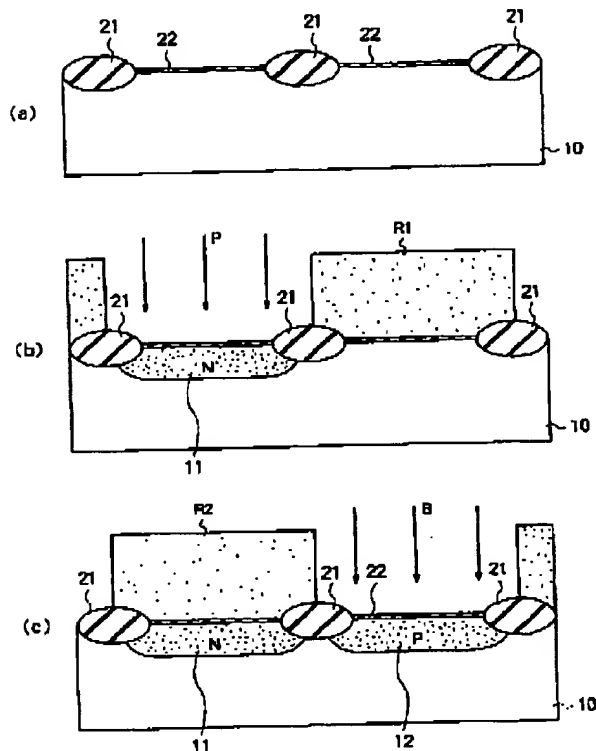
【図2】



【図3】



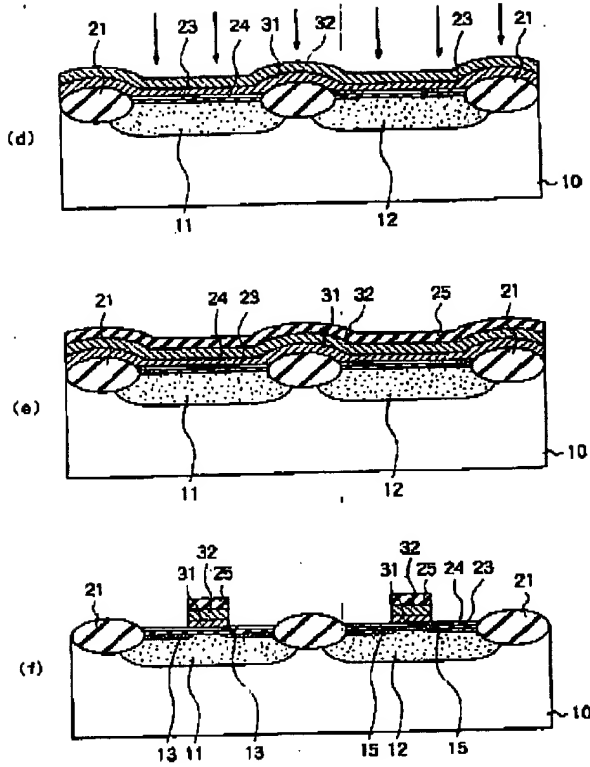
【図4】



(8)

特開平10-27854

【図5】



【図6】

